

READING METHOD

Patent Number: JP59006666

Publication date: 1984-01-13

Inventor(s): SHIBATA TAKEHIKO

Applicant(s): CANON KK

Requested Patent: JP59006666

Application Number: JP19820115523 19820705

Priority Number(s):

IPC Classification: H04N1/04 ; G06K9/20 ; H04N1/028 ; H04N5/30

EC Classification:

Equivalents:

Abstract

PURPOSE: To read out pictures of high quality at a high speed, by arranging picture elements in respective line of a sensor like a zigzag pattern by shifting them each other in the main scanning direction to interpolate the reading-out of an original and multiplying the interval between the lines of in the subscanning direction by an integer times the size of a systematic dither pattern in the subscanning direction.

CONSTITUTION: Plural odd photosensitive element lines (O lines) consisting of plural odd elements S1-S4751 which are prepared for reading out an original and an even photosensitive element array (E array) S2-S4752 are arranged with a prescribed interval in the subscanning direction (Y) respectively like a zigzag pattern so as not to be overlapped to the Y direction along the main scanning direction (X). A linear array sensor is constituted by O-line analog CCD sensors 1, 3, E-line analog CCD sensors 4, 6 and photosensitive element arrays 2, 5. The interval between the lines in the Y direction is systematically fixed on an integer times the size of a dither pattern in the subscanning direction to read out the pictures of high quality at a high speed.

Data supplied from the esp@cenet database - I2

⑯ 日本国特許庁 (JP) ⑯ 特許出願公開
⑯ 公開特許公報 (A) 昭59-6666

⑯ Int. Cl.³ 識別記号 厅内整理番号 ⑯ 公開 昭和59年(1984)1月13日
H 04 N 1/04 8020-5C
G 06 K 9/20 7157-5B 発明の数 1
H 04 N 1/028 7334-5C 審査請求 未請求
5/30 6940-5C

(全 6 頁)

④ 読取方式

② 特願 昭57-115523
② 出願 昭57(1982)7月5日
② 発明者 柴田武彦
東京都大田区下丸子3丁目30番

2号キヤノン株式会社内
② 出願人 キヤノン株式会社
東京都大田区下丸子3丁目30番
2号
② 代理人 弁理士 谷義一

明細書

1. 発明の名称

読み取方式

2. 特許請求の範囲

原稿を読み取る複数個の画素子を主走査方向に配列した列を複数列副走査方向に配備したりニアセンサを有し、前記センサの各列の画素子を主走査方向に互にずらせて千鳥模様に配列して前記原稿の読み取りを補間分担するようにし、前記各列の副走査方向の列間間隔を組織的ディザバターンの副走査方向寸法の整数倍としたことを特徴とする読み取方式。

3. 発明の詳細な説明

本発明は、デジタル式複写機やファクシミリ等に好適な読み取方式に関し、特にデジタル複写用リーダモジュールとして千鳥模様CCDセンサを用いて、原稿を読み取るようした読み取方式に関する。

従来、デジタル式原稿読み取装置では、一般に、CCD(電荷結合デバイス)リニアアレイセンサが用いられているが、1センサ当たり、例えば2048

ピットと読み取画素数がセンサ製造プロセス上の理由により制限されており、この場合、デジタル複写機としてA3版サイズの原稿を16ドット/mm(1/16mm)の分解能で読み取るとすれば4752ピットを必要とするので、上述のCCDセンサを3個並列して使用しなければならなかつた。このようにCCDセンサを複数個並べて読み取る方式では、センサとセンサ間における画素のつなぎの問題が発生する。これを電子的な自動つなぎ方法で解決するには複雑な構成を必要とし、原稿上昇が避けられなかつた。更に、このような従来装置におけるもう一つの重要な問題としては、原稿の“浮き”がある。すなわち、各々のセンサの原稿読み取領域は通常読み取開始時に決つてゐるため、もし、途中で原稿の皺や折り目あるいは書類のとじ込み部等の曲面があると、読み取レンズの視野角が変化してセンサとセンサ間のつなぎ目で両センサとも同一領域を読み取り、重なつた像を出力することになる。その結果、もとの原稿とは異なる複写が得られ、場合によつては重大な複写ミスが発生することと

なる。これを補正することは非常に困難であるから、絶対に避けなければならない問題であつた。

一方、上述の従来の問題点を本質的に解決するのは、原稿サイズを1/4倍で全部カバーできるライセンサがあれば可能である。しかし、A3版サイズを16ドット/μmで読取るためには、最低4752ビットのリニアセンサが必要となる。現状のリニアCCDセンサは2048ビットの解像度で、画素ピッチが13μm～14μmであるため、例えば設計プロセス上そのピッチを1/4に狭くすると、4096ビットの素子が得られ、このプロセスの延長線上に4752ビットのセンサの実現も考えられる。しかし、後者の4752ビットセンサでは、隣り合う画素間のクロストークを防ぐために、通常チャネルストップが必要となり、このために4μm位の幅がそのチャネルストップとして当てる必要が生ずる。従つて、このような画素ピッチ方式は、有効画素光感度領域が(14μm × 1/4) - 4μm = 3μmとなつて、大幅に読取り感度が落ちてしまい、実施化できなかつた。また、アナログシフト用CCD

を光センサ両側に配置したとしても、片側で2048段を構成しなくてはならないため、転送効率/MTF(空間周波数特性)の点でも非常に不利なセンサとなつてしまい、実施化できなかつた。

本発明は、上述の点に鑑みて、千鳥模様配列の複数のCCDセンサを用いて、各センサ間のつなぎの間隔と原稿の浮きによる重複脱取りとを解消するようにし、これにより高速で高解像のデジタル画像脱取りが得られるようにした脱取り方式を提供することを目的とする。

以下、図面を参照して本発明を詳細に説明する。

第1図は、本発明脱取り方式を適用した千鳥模様CCDセンサアレイの光感度部分の配列構成例を示し、ここでS₁、S₃、……、S₄₇₅₁およびS₄₇₅₃は奇数光感度素子列(以後、O列と称する)、S₂、S₄、……、S₄₇₅₀およびS₄₇₅₂は偶数光感度素子列(以後、E列と称する)である。O列およびE列はY方向(副走査方向)にそれぞれ所定の間隔を有して、図示のX方向(主走査方向)に沿つて平行に並べられ、かつO列とE列の各素子が図示

のY方向(副走査方向)で互に重ならないように千鳥模様に配列して、X方向の脱取り領域を互い違いに分担するようにしている。このO列およびE列の各光感度素子間の間隔(図示の斜線部分)はチャネルストップとして機能し、また何ら光感度を持たないようマスクされている。従つて、全光感度素子列S₁、S₂、S₃、S₄、……、S₄₇₅₁、S₄₇₅₂がX方向の全体画素数となるから、4752ビット、すなわちA3版サイズを16ドット/μmの分解能で脱取りことが可能なデバイスとなる。現在一般的に適用可能なデバイス寸法として、例えば各画素間ピッチが14μmで、チャネルストップとマスキングが7μmとすると、本実施例の光感度素子寸法としては7μm²が得られるから、従来素子を1/4の画素ピッチで一列に並べた場合のX方向3～4μm光感度領域のものに比較して、大幅な光感度上昇が得られる。

第2図は、本発明脱取り方式を適用したアナログCCDの千鳥模様配列の構成例を示し、ここで1および3はそれぞれO列のアナログCCD、2および

5はそれぞれX方向に伸設した光感度素子列、4および6はそれぞれE列のアナログCCDである。一方の光感度素子列2の両側にO列のCCD1とCCD3とを主走査X方向に沿つて平行に配設し、更に残りの光感度素子列5の両側にもE列のCCD4とCCD6とを主走査X方向に沿つて平行に配設する。このような配設構成により、各CCD1、3、4および6のチャネルの転送段は1024段となり、多ビットになつたにもかかわらず転送効率/MTFの点からも従来と同様な良い結果が得られる。

すなわち、CCDセンサデバイスとしては、2048ビットのCCDリニアアレイセンサを用い、X方向(主走査方向)については、チャネルストップおよびマスキングによりセンサ領域を狭くし、またY方向(副走査方向)については所定の間隔(ギャップ)を保つて、X方向の上述の素子列2または5に対して各々180°シフトとして、第1図の実施例と同様に素子を配設することにより、千鳥模様の多ビットリニアセンサアレイを構成する。このY方向のギャップについては、通常Y方向の

読み取分解能の整数倍を基準とするから、ハーフトーン処理方式とのマッチングのための組織的ディザマトリックスがY方向の画素数mの整数倍となる。従つて、例えば 4×4 のディザマトリックスでは $m = 4$ となり、Y方向のギャップは $4/4$ （但し、nは整数）となる。一般には、mnとすると後述の処理において好都合となる。デジタル複写は通常ハーフトーンで再現するため、ディザマトリックスの大きさを、例えば 4×4 あるいは 6×6 または 8×8 としているので、その全てに適用させるには、それらの最大公約数である24の整数倍がラインセンサ間のギャップ寸法として好ましい。

第3図は、第1図または第2図の本発明による千鳥模様センサを用いた読み取系の構成例を示し、ここで7は第1図または第2図の千鳥模様CCDセンサ、8はそのドライバであり、高速化のために0列とE列のセンサ7をパラレル駆動している。これにより、ドライバ回路8のシンプル化が図られ、かつ読み出しひビデオ信号のクロックノイズが0

処理される。しかるに、X方向の画素について、マグニチュードコンバーティ₁₃からリフアレンス（照合値）として与えられる閾値は、タイミングt=1の瞬間でP₁₁, P₁₃, P₁₁, P₁₃……の繰返しであるのに対し、一方のマグニチュードコンバーティ₁₅で同じくリフアレンスして与えられる閾値は、Y方向のセンサギャップが4, 6, 8の公倍数のため、経過時間（タイミング）t=1の瞬間でP₁₂, P₁₄, P₁₂, P₁₄……の繰返しとなる。そのため、デジタルリフアレンス₁₄としては、例えば 4×4 の閾値を経過時間t=1の瞬間は行で読み出し、各々のセンサ7に対応して奇数と偶数で振分ける。同様にして、経過時間t=2, 3および4の処理を行い、経過時間t=5のときはt=1と同じ閾値を読み出し、以下循環して同様な処理を続ける。

デジタルマグニチュードコンバーティ₁₃または₁₅で二値化処理された信号は、ギャップバッファメモリとしてのデジタルメモリ₁～₂₁に記憶される。これらのメモリ₁～₂₁は、メモリコントロー

列とE列のセンサ7に同時に発生するので、アナログ/デジタル（以下、A/Dと称する）変換部でもサンプリングバルスの余裕度が大きくなる。0列とE列のセンサ7から読み取されたビデオ信号は、別々にビデオ増幅器₉または₁₀で増幅され、A/Dコンバータ₁₁または₁₂でデジタル化され、デジタルマグニチュードコンバーティ₁₃または₁₅でデジタルリフアレンス₁₄からのリフアレンス信号との比較により、“1”または“0”に二値化される。そのデジタルリフアレンス₁₄は、原稿が通常のラインコピーに相当する二値データの場合は、オペレータ（操作者）の指示に従い所定の閾値を発生し、原稿がハーフトーンであつて、オペレータがハーフトーンモードを指示した場合は、組織的ディザマトリックス閾値を発生する。

例えば、 4×4 のディザマトリックスの場合に、第4図に示すように、各画素に対する閾値をP₁₁, P₁₂, ……, P₁₄とすれば、主走査方向（X方向）および副走査方向（Y方向）のすべての画素は、図示のような 4×4 の組織的閾値ブロックにより

ル₁₆によりリード（読み出し）/ライト（書き込み）の制御をされる。その際、例えば、千鳥模様CCDセンサ7における0列とE列の各センサ間のギャップがY方向量子化分解能の24倍（この値は 4×4 , 6×6 および 8×8 の組織的ディザマトリックスの最小公倍数に当る）とすれば、読み出信号のタイムチャートは第5図に示すようになる。すなわち、E列センサは0列センサに比較して、Y方向の量子化ラインについてみれば24量子化時間先行しているため、この間、E列センサ用ギャップバッファメモリ M_{E1}, M_{E2}, ……, M_{E26}に二値化処理された信号を記憶しておく必要があるからである。次いで、経過時間t=25で0列センサからの信号がy₁ラインの量子化処理に入り、0列バッファメモリ M₀₁に記憶される。続く経過時間t=26でメモリ M₀₂に書き込み（メモリライト）処理している間に、経過時間t=25でメモリ M₀₁にy₁ラインの奇数画素内容を記憶したメモリ y₁ M₀₁の内容を読み出しそる。同様に、E列センサ用メモリ M_{E26}にy₂₆ラインの内容を書

込みしている間に、経過時間 $t = 1$ で y_1 ラインの偶数画素内容を記憶したメモリ $y_1 M_{E1}$ を読み出します。経過時間 $t = 26$ において、このようにして読み出した $y_1 M_{O1}$ の内容と $y_1 M_{E1}$ の内容とを合せて、Y 方向の 1 ラインの信号 y_1 を合成し、これをシリアル信号として供給する。このシリアル信号を、例えばレーザービームプリンタのビデオ信号として与えれば、原画が再現記録できる。

このように、O 列センサでは、バッファメモリとして 2 ライン分のメモリ M_{O1} および M_{O2} を交互にライト／リード制御して用い、他方の E 列センサではギャップバッファメモリとしてギャップ間ライン数に相当する数のライン、この実施例では、24 個プラス 2 個の合計値に当る 26 ラインのラインバッファメモリ M_{E1} 、 M_{E2} 、……、 M_{E26} を順次に繰り返して用いることとなる。なお、このラインバッファメモリとしては、通常のスタティック RAM (ランダムアクセスメモリ) が好適である。但し、E 列センサ用として、比較的多数のラインメモリがバッファとして必要な場

でも高解像度の多ビットラインセンサが実現し得る。また、本発明によれば、千鳥模様センサの O 列および E 列をパラレル駆動することによって、高速性が確保され、光感度も充分確保される。なお、本発明では 2 個の CCD をマスキングし、 180° 位相をずらして構成することも可能であるが、そのギャップを出来るだけ小さくする方が、ラインバッファメモリが少なくなるので好ましい。また、本発明は各種の組織的ディザマトリックスに対処できる利点がある。この場合に、最小公倍数でない場合はディザマトリックスの組み換えをその周期で変更すればできる。その際、できるだけギャップバッファメモリを少なくするように製造設計することが必要である。

4 図面の簡単な説明

第 1 図は本発明によるリニアアレイセンサの構成例を示す拡大模式図、第 2 図は本発明によるリニアアレイセンサの他の構成例を示す模式図、第 3 図は第 1 図または第 2 図のセンサを用いた本発明の読み取り系の構成例を示すブロック図、第 4 図

は、価格的にダイナミック RAM の方が優れており、特にこの場合は、リフレッシュタイミングとリード／ライトサイクルが長くなるので、ダイナミック RAM を使用することが可能となる。

なお、第 1 図の各光感度素子 SI ($i = 1 \sim 4752$) を図示の正方形から X 方向に長い長方形に変えれば、例えば $5 \mu\text{m} \times 10 \mu\text{m}$ の寸法にすれば、光露時間内における原画読み取領域の Y 方向分解能を上げることができ、光感度向上を図ることができる。

以上説明したように、本発明によれば、CCD 等からなるリニアアレイセンサを 2 列にモノリシックに作成して、その各列の素子をアレイ方向に互に細間分担するように千鳥模様に配列し、かつモノリシックに形成されたセンサの列間隔を、組織的ディザバターンの副走査方向寸法の整数倍としているので、デジタル複写機のリーダモジュールとして、高速、高解像度、高品位に画像を読み取ることができる。

更に、本発明によれば、現在の半導体製造工程

は第 3 図の読み取り系で発生する組織的ディザマトリックス閾値の一例を示す説明図、第 5 図は第 3 図の読み取り系で発生する出力信号のタイミングチャートである。

$s_1, s_3, s_5, s_7 \sim s_{21-1} \sim s_{4751}$ … 奇数光感度素子列 (O 列)、

$s_2, s_4, s_6, s_8 \sim s_{21} \sim s_{4752}$ … 偶数光感度素子列 (E 列)、

X … 主走査方向、Y … 副走査方向、

1, 3 … O 列アナログ CCD センサ、

2, 5 … 光感度素子列、

4, 6 … E 列アナログ CCD センサ、

7 … 千鳥模様 CCD センサ、

8 … ドライバ、

9, 10 … ビデオ増幅器、

11, 12 … A/D コンバータ、

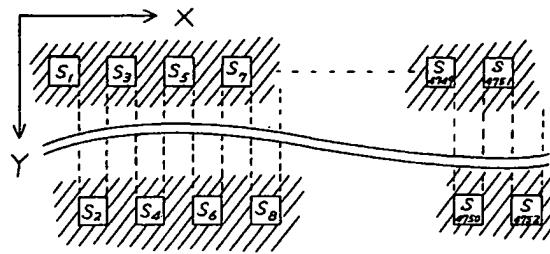
13, 15 … デジタルマグニチュードコンバータ、

14 … デジタルリフレンス、

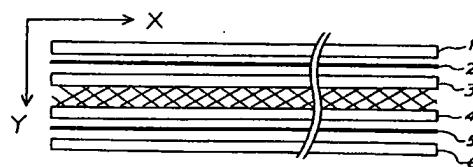
16 … メモリコントロール、

17~21 … デジタルメモリ (ギャップバッファ)。

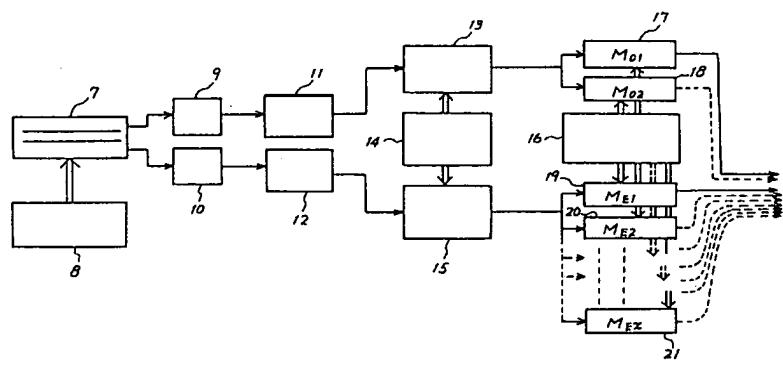
第 1 図



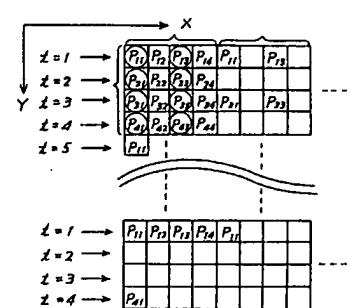
第 2 図



第 3 図



第 4 図



第 5 図

